

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 6 3 6 6 5
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 6 3 6 6 5]

願 人 株式会社東芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2 0 0 4 年 3 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

出証番号 出証特 2 0 0 4 - 3 0 2 5 7 7 9

【書類名】 特許願
【整理番号】 A000401246
【提出日】 平成16年 3月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 與田 博明
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発セ
 ンター内
 【氏名】 岸 達也
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 宮本 順一
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 65063
 【出願日】 平成15年 3月11日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【書類名】 特許請求の範囲**【請求項 1】**

磁気抵抗素子の非磁性層を挟持した磁性のフリー層と磁性のピン層との磁化配列状態により変化する前記非磁性層の抵抗値に“0”、“1”のデータを対応させ、前記磁気抵抗素子に近接し互いに分離して配置された第1、第2の書き込み電流路に電流を流して合成書き込み磁界を発生させ、前記フリー層の磁化方向を変化させてデータを書き込む磁気ランダムアクセスメモリにおいて、

前記第1の書き込み電流路は、前記フリー層に近接して配置された絶縁ゲート型のトランジスタのチャンネル領域を含み、前記トランジスタは、前記磁気抵抗素子に対するデータの書き込みに際して書き込み電流として所望の大きさのチャンネル電流が流れるように制御される磁気ランダムアクセスメモリ。

【請求項 2】

非磁性層を挟持した磁性のフリー層と磁性のピン層とを有する磁気抵抗素子の前記フリー層とピン層との磁化配列状態により変化する前記非磁性層の抵抗値に“0”、“1”のデータを対応させ、前記磁気抵抗素子に近接して配置された少なくとも1つの書き込み電流路に電流を流して書き込み磁界を発生させ、前記磁気抵抗素子のフリー層の磁化方向を変化させてデータを書き込む磁気ランダムアクセスメモリにおいて、

前記書き込み電流路は、前記磁気抵抗素子のフリー層に近接して配置された絶縁ゲート型のトランジスタのチャンネル領域を含み、前記トランジスタは、前記磁気抵抗素子に対するデータの書き込みに際して書き込み電流として書き込み閾値以上の書き込み磁界を発生させるチャンネル電流が流れるように制御される磁気ランダムアクセスメモリ。

【請求項 3】

半導体基板上に形成された配線と、

前記配線に沿って間欠的に配置され、それぞれ磁性膜からなるピン層とフリー層との間に非磁性層が挟まれた構造によってトンネル磁気抵抗効果を有する複数のトンネル磁気抵抗素子と、

前記複数のトンネル磁気抵抗素子に対応して前記配線に沿って間欠的に配置され、それぞれ配線の一部をゲート電極とし、前記複数の磁気抵抗素子の各フリー層に対応して近接するチャンネル領域を有する複数の絶縁ゲート型のトランジスタとを具備し、

前記トランジスタは、前記磁気抵抗素子に対するデータの書き込みに際して書き込み電流の一部として所望の大きさのチャンネル電流が流れるように制御される、磁気ランダムアクセスメモリ。

【請求項 4】

前記トランジスタは、書き込み電流として、書き込みデータ“0”、“1”に対応して互いに逆向きのチャンネル電流が流れるように書き込み電源に接続される請求項1ないし3のいずれか1項に記載の磁気ランダムアクセスメモリ。

【請求項 5】

前記トランジスタのゲート電極の周面の少なくとも一部が磁性体により被覆されている請求項1ないし3のいずれか1項に記載の磁気ランダムアクセスメモリ。

【書類名】明細書

【発明の名称】磁気ランダムアクセスメモリ

【技術分野】

【0001】

本発明は、磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) に係り、特にトンネル型磁気抵抗効果により“0”／“1”データの記憶を行う素子を利用して構成した磁気メモリセルを用いるMRAMにおけるメモリセルの構造に関する。

【背景技術】

【0002】

近年、新たな原理によりデータを記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル型磁気抵抗 (Tunneling Magneto Resistive) 効果を用いて“0”／“1”データの記憶を行う磁気トンネル接合 (Magnetic Tunnel Junction: 以後、MTJと表記する) 素子を利用して構成した磁気メモリセルを行列状に配置した不揮発性、高速性を併せ持つMRAMが提案されている。

【0003】

図14は、従来のMRAMで用いられるMTJ素子70の断面構造を概略的に示す。

【0004】

図15(a)および図15(b)は、図14に示したMTJ素子70の2つの磁性層71、72のスピンの向きの2つの状態を示している。

【0005】

このMTJ素子70は、2つの磁性層71、72で1つの非磁性層 (トンネルバリア膜) 73を挟んだ構造を有し、2つの磁性層71、72のスピンの向きが図15(a)のように平行であるか図15(b)のように反平行であるかによって“0”／“1”データを記憶する。

【0006】

通常、2つの磁性層71、72の一方側には反強磁性層74が配置される。反強磁性層74は、一方側の磁性層72のスピンの向きを固定することによって、他方側の磁性層71のスピンの向きのみを変えることによりデータを容易に書き換えるための部材である。ここで、スピン可変側の磁性層71は自由層 (またはフリー層)、スピン固定側の磁性層72は固定層 (またはピン層) と呼ばれる。

【0007】

図15(a)に示すように、2つの磁性層71、72のスピンの向き (図示矢印の向き) が平行 (同じ) である場合は、2つの磁性層71、72に挟まれたトンネルバリア膜73のトンネル抵抗は最も低くなる (トンネル電流が最も大きくなる)。

【0008】

図15(b)に示すように、2つの磁性層71、72のスピンの向きが反平行である場合は、2つの磁性層71、72に挟まれたトンネルバリア膜73のトンネル抵抗は最も高くなる (トンネル電流が最も小さくなる)。

【0009】

図16は、従来のメモリセルを組み込んだMRAMのセルアレイの平面レイアウトの一例を模式的に示す。ここではデータ書き込み時の構成を示している。

【0010】

複数の書き込みワード線WWLと、複数のビット線BLが直交方向に配設され、その各交点に対応してMTJ素子で構成されるメモリセルが配設される。このMTJ素子は、長方形の長辺が書き込みワード線WWLに沿い、短辺がビット線に沿い、かつ長辺方向に沿うようにスピン方向が付与されている。MRAMでは、MTJ素子の抵抗値が異なる2つの状態を、“1”データの記憶状態 (“1”状態) および“0”データの記憶状態 (“0”状態) に対応させている。

【0011】

図17は、図16の15-15線により切断して矢印方向に見た、書き込みワード線W

WLに垂直な断面におけるメモリセルの1個分に着目して構造の一例を示す断面図である。

【0012】

図18は、図16の16-16線で切った矢印方向に見た、ビット線BLに垂直な断面におけるメモリセル構造の一例を示す断面図である。

【0013】

図17および図18において、10は半導体基板（例えばP型Si基板）、11はシャロウトレンチ型の素子分離領域(STI)、12はゲート酸化膜、13は読み出し用セル選択トランジスタTr(NMOSFET)のドレイン領域またはソース領域となる不純物拡散層(N+)、14はゲート電極(GC)、15は第1金属配線層(M1)、16は第2金属配線層(M2)、17は第3金属配線層(M3)からなるMTJ接続用配線、18は第1金属配線層15を拡散層13へ電気的に接続するための導電性のコンタクト、19は第2金属配線層16から第1金属配線層15へ電気的に接続するための導電性のコンタクト、20は第3金属配線層17から第2金属配線層16へ電気的に接続するための導電性のコンタクト、70はMTJ素子、22は第4配線層(M4)、23は第4金属配線層22をMTJ素子70へ電気的に接続するための導電性のコンタクト、24は層間絶縁膜である。

【0014】

なお、図中、配線の用途として、(BL)は書き込み/読み出し用のビット線、(WWL)は書き込みワード線、(SL)はソース線、(RWL)は読み出しワード線を表わしており、ソース線(SL)は接地電位に接続される。

【0015】

次に、図14乃至図18を参照して従来のMTJ素子70に対するデータ書き込み動作原理を説明する。

【0016】

MTJ素子70に対するデータ書き込みは、図16に示すように書き込みワード線WWLおよびビット線BLに例えば矢印で示す方向の電流を流し、両配線に流れる電流により作られる磁界Hy、Hxの合成磁界を用いてMTJ素子70のフリー層71のスピンの向きをピン層72に対して平行または反平行に設定することにより達成される。

【0017】

例えば、図16のMTJ素子70へデータを書き込む時には、ビット線BLには書き込みデータに応じて第1の方向またはそれとは逆の第2の方向に向かう電流を流して磁界Hxを発生させ、書き込みワード線WWLには一定方向に向かう電流のみを流して磁界Hyを発生させることにより形成された合成磁界を用いてデータを書き込む。この際、ビット線BLに第1の方向に向かう電流を流すと、MTJ素子70のスピンの向きは平行となり、ビット線BLに第2の方向に向かう電流を流すと、MTJ素子70のスピンの向きは反平行となる。図16には合成磁界によりフリー層71のスピンの向きが平行となる場合を示す。

【0018】

MTJ素子70からデータを読み出す時には、図15、図16の読み出しワード線RWLを活性化させ、選択されたMTJ素子70に接続されるスイッチ素子であるトランジスタTrをオン状態として電流経路を作り、選択されたビット線BLから接地電位へ電流を流す。その結果、選択されたMTJ素子70のみにその抵抗値に応じた電流が流れるので、その電流値を検出することによりデータを読み出すことができる。

【0019】

次に、印加磁界の方向によりMTJ素子70のスピンの向きが選択される仕組みについて、図19および図20を参照しながら簡単に説明する。

【0020】

図19は、MTJ素子70の印加磁界の反転による抵抗値の変化特性(MTJ曲線)を示している。

【0021】

図20は、MTJ素子70のアステロイド曲線を示している。

【0022】

図19に示すMTJ曲線のように、MTJ素子のEasy-Axis（容易軸）方向に磁界 H_x をかけると、MTJ素子70の抵抗値（MR比）は例えば17%程度変化する。図19の縦軸はMTJ素子70の抵抗値をこの変化率（変化の前後の抵抗の比）であるMR比で示している。なお、MR比は、MTJ素子70の磁性層の性質により変化する。現在では、MR比が50%程度のMTJ素子も得られている。MTJ素子70には、Easy-Axis方向の磁界 H_x とHard-Axis（困難軸）方向の磁界 H_y との合成磁界が印加される。

【0023】

図19中の実線および破線に示すように、Hard-Axis方向の磁界 H_y の大きさによって、MTJ素子70の抵抗値を変えるために必要なEasy-Axis方向の磁界 H_x の大きさも変化する。破線はHard-Axis方向の磁界 H_y が実線の場合より大きい場合のMTJ曲線を示す。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線WWLおよび選択されたビット線BLの交点に対応して配置されているMTJ素子70のみにデータを書き込むことができる。

【0024】

即ち、図20に示すように、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の外側（例えば図中の黒丸の位置）にあれば、MTJ素子70の磁性層のスピンを反転させることができる。

【0025】

逆に、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の内側（例えば図中の白丸の位置）にある場合には、MTJ素子70の磁性層のスピンを反転させることはできない。

【0026】

従って、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさを換え、合成磁界の大きさの H_x - H_y 平面内における位置を変えることにより、MTJ素子70に対するデータの書き込みを制御できる。

【0027】

しかし、上記した従来のセル構造は、図17に示すように、読み出し用セル選択トランジスタ T_r の上方に多くのメタル層を介してMTJ素子70を積層している。ここでは、8つの金属配線層18、15、19、16、20、17、23、22と1つのMTJ素子70とを含む非常に多くの導電層および層間絶縁膜を必要とする複雑な積層構造であるので、工程数が非常に多くなり、低コストでMRAMなどの磁気ランダムアクセスメモリを提供することが困難であった。

【0028】

また、磁気メモリ素子にデータを書き込むための電流を流すために金属配線層を用いずにMOSトランジスタのチャネルに流れる電流を用いる技術が特許文献1に記載されている。しかしながらこの特許文献1に記載された技術では磁気メモリ素子はホール効果を利用した素子でありMTJ素子ではない。また、MOSトランジスタのソース又はドレインを2つに分割してそれぞれに2本のデータ線を接続し、書き込み時にこの2本のデータ線を短絡するために別にスイッチを設ける必要があり、読み出し時にはこの2本のデータ線上の読み出し電流の大小関係によりデータ再生を行う必要があるなど、回路構成が複雑となり、この技術では低コストでMRAMなどの磁気ランダムアクセスメモリを提供する課題の解決にはならない。

【特許文献1】特開2002-170937号公報

【発明の開示】

【発明が解決しようとする課題】

【0029】

上述したように、従来の技術では、MTJ素子にデータを書き込むための電流路を単純化して低コストでMRAMなどの磁気ランダムアクセスメモリを提供することは困難であ

った。

【課題を解決するための手段】

【0030】

本発明の一態様の磁気ランダムアクセスメモリは、磁気抵抗素子の非磁性層を挟持した磁性のフリー層と磁性のピン層との磁化配列状態により変化する前記非磁性層の抵抗値に“0”、“1”のデータを対応させ、前記磁気抵抗素子に近接し互いに分離して配置された第1、第2の書き込み電流路に電流を流して合成書き込み磁界を発生させ、前記フリー層の磁化方向を変化させてデータを書き込む磁気ランダムアクセスメモリにおいて、

前記第1の書き込み電流路は、前記フリー層に近接して配置された絶縁ゲート型のトランジスタのチャンネル領域を含み、前記トランジスタは、前記磁気抵抗素子に対するデータの書き込みに際して書き込み電流として所望の大きさのチャンネル電流が流れるように制御される構成を有する。

【発明の効果】

【0031】

本発明の磁気ランダムアクセスメモリによれば、極めて単純なセル構造を実現でき、MRAMなどの製造に際し大幅な低コスト化を達成することができる。

【発明を実施するための最良の形態】

【0032】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0033】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図である。以下の説明において、図14乃至図18と同じ構成部分は同じ参照番号を付してある。

【0034】

図1において、10は半導体基板（本例ではP型Si基板）、1は半導体基板10中に形成されたトランジスタTr（NMOSFET）のゲート酸化膜、2および3は基板表層部に選択的に形成された不純物拡散層（本例ではN⁺拡散層）からなるドレイン(Drain)領域およびソース(Source)領域、4はゲート電極、5および6は第1金属層からなるドレイン電極（コンタクトプラグ）およびソース電極（コンタクトプラグ）である。

【0035】

21はゲート電極4の上部に配設されたMTJ素子であり、図14を参照して前述した構造と同様に、それぞれ磁性膜からなるフリー層71とピン層72との間に非磁性層73が挟まれた構造によってトンネル磁気抵抗効果を有する。そして、ピン層72側には反強磁性層74が配置されている。

【0036】

本例のMTJ素子21は長方形であり、磁性層として、NiFe、CoFe、CoCr、CoPtなどの磁性材料が用いられており、この長方形の長辺方向に沿う方向にスピン方向が設定される。ここではこのスピン方向は紙面に対して直交する方向である。即ち、この長辺方向がトランジスタTrのチャンネル幅方向に沿い、短辺方向に沿う方向がトランジスタTrのチャンネル長方向に沿うように配設されている。

【0037】

25はMTJ素子21のピン層72側（本例では上部側）に接続された第1の接続配線（本例では上部配線）、26はMTJ素子21のフリー層71側（本例では下部側）のゲート電極4に接続される第2の接続配線（本例では下部配線）である。

【0038】

後述するように、上部配線25と下部配線26との間には、MTJ素子21を介してデータ読み出し時には読み出し用電圧V_rが印加され。また、データ書き込み時には下部配線26が書き込み用の一方の配線として動作する。また、書き込み用のトランジスタTrは、MTJ素子21に対するデータの書き込みに際して書き込み電流として所望の大きさ

のチャネル電流 I_{ch} がソース、ドレイン電極 5、6 間に流されるように書き込み電源 C S に接続され、所定方向の電圧が印加される。

【0039】

なお、ゲート電極 4 の材質は、後述するように書き込み用トランジスタ T r のチャネル電流により発生させた磁界を M T J 素子 2 1 のフリー層 7 1 に作用させる機能に支障がないものであればよく、不純物がドーピングされたポリシリコンに限らず、ポリシリコンゲート上面に金属シリサイド層が形成されたものとか、一部の M I S F E T で採用されている T a などのメタルゲートなどを用いることが可能である。

【0040】

ゲート電極 4 として、本例では、ポリシリコンゲート上面に金属シリサイド層が形成されたゲート電極を用いており、ゲート電極として動作する部分以外の金属シリサイド層が M T J 素子 2 1 の下部配線 2 6 の一部になっている。チャネル制御のためのゲート電圧として、M T J 素子 2 1 自体を用いてゲート電圧を印加することも可能であり、この場合には、後述する書き込み動作時に書き込み用トランジスタ T r を制御するゲート電圧を図中破線で示すように M T J 素子 2 1 全体に印加するように変更してもよい。このようにして、メモリセル M c 1 が形成される。

【0041】

即ち、図 1 に示すメモリセル M c 1 は、半導体基板 1 0 上に形成された書き込み用トランジスタ T r のゲート電極 4 の上部に M T J 素子 2 1 が配設されて構成されている。換言すれば、半導体基板 1 0 上に形成された M T J 素子 2 1 の一方側のフリー磁性層 7 1 に近接するように 2 つの書き込み電流路、即ちゲート電極 4 と書き込み用トランジスタ T r のチャネル領域とが配設されている。

【0042】

なお、上記したような構造のメモリセル M c 1 を、例えば図 1 6 と同様に半導体基板上に行列状に複数個配置してセルアレイを構成することができる。

【0043】

図 1 に示したメモリセル M c 1 を図 1 6 のようにセルアレイとして配置するには、個々の M T J 素子 2 1 のトランジスタ T r のソース、ドレイン電極 5、6 を図 1 6 の書き込みワード線 W W L 内に直列に接続する。また、必要に応じてトランジスタ T r のゲート電極 4 を図 1 6 のビット線 B L の 1 部として接続する。

【0044】

また、同一行のメモリセル M c 1 の M T J 素子 2 1 に共通に連なるように上部配線 2 5 として例えば C u 配線を形成する。また、書き込み用トランジスタ T r のドレイン電極 5 およびソース電極 6 に直列に連なるようにワード線 W W L として金属配線を形成し、この金属配線に書き込み電流供給素子としてのトランジスタ T r を接続する。

【0045】

この場合、後で説明するように、下部配線 2 6 にも所定の電圧 V_r が印加される。この電圧 V_r はメモリセル M c 1 を選択する際のビット線選択電圧であるとともに、読み出し時には M T J 素子 2 1 を流れる電流による読み出し電圧として上部配線 2 5 との間に印加される。

【0046】

このようにして、ワード線 W W L とビット線 B L とが直交方向に配設され、その各交点に対応して M T J 素子 2 1 が配設される。この M T J 素子 2 1 は、ゲート電極 4 の方向に沿うようにスピン方向が付与されるように配置される。

【0047】

次に、図 1 の構成によるメモリセル M c 1 がデータ書き込み、読み出し時に選択されたものとしてその動作を説明する。なお、以下の説明において、図中の矢印記号は紙面に平行な方向の電流あるいは磁界の向きを示しており、×印を丸で囲んだ記号は紙面に垂直な奥向き方向の電流あるいは磁界を示しており、ドットを丸で囲んだ記号は紙面に垂直な手前向き方向の電流あるいは磁界を示している。

【0048】

選択されたメモリセルM c 1にデータを書き込む時は、このメモリセルM c 1のMT J素子21に接続されている下部配線26Aと接地との間に正の書き込み電圧V g wを印加する。即ち、選択したメモリセルM c 1の書き込み用トランジスタT rを最大限にオン駆動するために、配線26Aを介して上記MT J素子21に対応するゲート電極4と接地電位間に所定値以上の高いゲート電圧V g wを印加する。或いは、破線で示すように上部配線25Aにも同じ電圧V g wを印加してもよい。この結果、ゲート電極4に流れる電流により発生した磁界がフリー層71に印加されるとともに、書き込み電源C Sからは、ドレイン電極5とソース電極6との間に、ゲート電極4に流れる電流による磁界との合成磁界がMT J素子21の書き込み閾値を超える大きさとなるに十分な大きさのチャンネル電流I c h（書き込み電流）が流される。この場合、書き込み電源C Sからは、ドレイン5、ソース6間に書き込みデータの“1”、“0”に対応した極性で電圧差を印加すればよい。即ち、書き込みデータの“1”、“0”に対応してドレイン5→ソース6の方向、または、ソース6→ドレイン5の方向に書き込み電流I c hを流す。この結果、フリー層71のスピン方向はゲート電極4に流れる電流による磁界と、チャンネル電流I c hによる磁界との合成磁界の方向によって紙面の奥向きまたは紙面手前向きとなる。

【0049】

このように、フリー層71のスピン向きをデータの内容に合わせて変化させるために、トランジスタT rのチャンネルに流れる電流I c hにより生じる磁界と、ゲート電極4に流れる電流により生じる磁界とを合成した磁界の向きを制御する。この場合、下部配線26を介してゲート電極4に上記のチャンネル電流I c hとは直交する方向の電流を流すが、この電流の方向を固定すれば最終的にスピンの向きを決定するのはチャンネル電流I c hの方向である。

【0050】

上記したように互いに直交する方向のゲート電流とチャンネル電流I c hを書き込み電流として流し、それぞれ磁界を発生させて合成磁界を形成させ、例えばチャンネル電流I c hの向きに応じてMT J素子21のフリー層71の磁化方向を変化させてデータを書き込む。この場合、ゲート配線（下部配線26）の紙面に直交する長さ方向に沿うMT J素子21の長辺方向に形成される2つのスピンの向きは、平行または反平行となる。データ消去の場合も書き込みと同様である。

【0051】

上記書き込み動作において、MT J素子21の長辺の長さをトランジスタのチャンネル幅よりも長く形成しておくことにより、MT J素子21の長さ方向のフリー層71端部に印加される磁界強度を強めることが可能になる。

【0052】

この図1の実施形態では、データ読み出し時にはトランジスタT rがオフとなるように、ゲート電極4の印加電圧V gが低く保持される。

【0053】

選択されたメモリセルM c 1からデータを読み出す時は、メモリセルM c 1のMT J素子21を介して図示しないセンスアンプに読み出し電流が流れるように、読み出し用ビット線として動作する上部配線25および下部配線26間に読み出し電圧V rを印加する。その結果、当該MT J素子21にその磁気抵抗値に応じた電流が流れるので、例えば読み出し用ビット線に接続されたセンスアンプで電流値を検出することでデータを読み出すことができる。

【0054】

上記実施形態によれば、ゲート配線4に流れる電流およびトランジスタT rのチャンネル電流を書き込み電流として用いるので、従来例のメモリセルで必要とした書き込み専用配線（例えば図17中に示した書き込みワード線WWL）およびそれとのコンタクトをとるためのビアなどを形成する工程を必要としなくなり、工程数をその分だけ削減することができる。

【0055】

また、ゲート配線4を下部配線26と共用することによって、金属層は2つ（ドレインコンタクト5、ソースコンタクト6用の第1金属層および上部配線25用の第2層配線）で済むので、工程数を大幅に削減でき、大幅な低コスト化が可能となる。

【0056】

さらに、書き込み時に、下部配線26の代わりに上部配線25に電流を流し、あるいはこれら両方の配線25、26に電流を流し、チャンネル電流によって発生される磁界との合成磁界を用いて書き込みを行うことにより、書き込みに必要なチャンネル電流の値（書き込み閾値）を低減することが可能になる。結果として、書き込み用のトランジスタ T_r のサイズを微細化でき、セルサイズを縮小でき、さらに低コスト化が可能となる。

【0057】

<第2の実施形態>

第1の実施形態における書き込み用トランジスタ T_r を読み出し用トランジスタとしても兼用するように変更することが可能であり、その一例を第2の実施形態として以下に示す。

【0058】

図2は、第2の実施形態に係るMRAMで用いられるメモリセル M_c2 の一例について構造を模式的に示す断面図である。

【0059】

このメモリセル M_c2 は、第1の実施形態のメモリセル M_c1 と比べて、MTJ素子21の下端側のゲート電極4に接続された下部配線27をトランジスタ T_r の一端側の例えばドレイン電極5に電氣的に接続する。この下部配線27の接続用配線としては例えばゲート電極4として形成されるタンタルTa膜を共通に使用するようにできる。また、図1の下部配線26Aがこの下部配線27に接続される。その他は同じであるので図1中と同一符号を付している。

【0060】

このメモリセル M_c2 に対する書き込み動作時には、ゲート配線である下部配線26A、27を介してゲート電極4と接地電位間に所定値以上の高い書き込み電圧 V_{gw} を印加してトランジスタ T_r をオン状態にし、書き込み電源CSによりドレイン電極5とソース電極6との間に所定方向の書き込みチャンネル電流 I_{ch} を流す。これにより、ゲート電極4に流れる電流による磁界とチャンネル電流 I_{ch} による磁界との合成磁界により書き込みが行われる。なお、上部配線25に電流を流し、これとチャンネル電流との合成磁界による書き込みも図1の実施形態同様に可能である。

【0061】

これに対して、読み出し動作時には、書き込みゲート電圧 V_{gw} より低い読み出しゲート電圧 V_{gr} を印加してトランジスタ T_r をオン状態にする。これとともに、上部配線25とソース電極6間に所定の読み出し電圧 V_r を印加し、MTJ素子21からの読み出し電流が、たとえば図示しないセンスアンプ→上部配線25→MTJ素子21→ゲート電極4→ドレイン電極5→トランジスタ T_r のチャンネル→ソース電極6→接地間に流される。

【0062】

このようにMTJ素子21に直列にトランジスタ T_r を接続した構成によれば、1個のトランジスタ T_r を、書き込み用トランジスタおよびMTJ素子21の読み出し電流経路をスイッチする読み出し用トランジスタとして共用することができる。

【0063】

<第3の実施形態>

図3は、本発明の第3の実施形態に係るMRAMで用いられるメモリセル M_c3 の一例について構造を模式的に示す断面図である。

【0064】

このメモリセル M_c3 は、第1の実施形態のメモリセル M_c1 と比べて、MTJ素子21の表面の少なくとも一部（本例では上面および側面）にNiFe、CoZrNbなどの

軟磁性膜 31 を被覆している点が異なる。この場合、軟磁性膜 31 はヨークとして用いられ、フリー層 71 の側面を除き MTJ 素子 21 の殆どを覆うように形成される。その他は同じであるので図 1 中と同一符号を付している。

【0065】

このような構成によれば、書き込みに際して例えば上部配線 25 に流す電流により発生してフリー層 71 に与えられる磁界が大きくなり、その分、書き込みに必要なトランジスタ Tr のチャネル電流 I_{ch} の値（書き込み電流の閾値）を低減することが可能になる。結果として、例えば書き込み用トランジスタ Tr のチャネル幅サイズを微細化でき、セルサイズを縮小でき、さらに低コスト化が可能となる。尚、図示しないが、この実施形態でも図 1、図 2 の実施形態同様にトランジスタ Tr には書き込み電源が接続される。また、上部配線 25 の代わりに下部配線に電流を流すようにし、これとチャネル電流 I_{ch} との合成磁界による書き込みも可能である。同様に、以下に説明する図 4 乃至図 7 の実施形態でも、図示しないが、書き込み電源を含む 2 つの書き込み電流路が形成される。

【0066】

<第 4 の実施形態>

第 1 乃至第 3 の実施形態では、MTJ 素子 21 のフリー層 71 の磁化の方向はチャネル電流 I_{ch} の向きと直交する方向（ゲート配線 4 の長さ方向）となっているが、MTJ 素子 21 のフリー層 71、ピン層 72 の磁化の方向をチャネル電流 I_{ch} の方向と平行（チャネル長方向）にしてもよく、その一例を以下に示す。

【0067】

図 4 は、本発明の第 4 の実施形態に係る MRAM で用いられるメモリセル Mc 4 の一例について構造を模式的に示す断面図である。

【0068】

このメモリセル Mc 4 は、第 3 の実施形態のメモリセル Mc 3 と比べて、フリー層 71 およびピン層 72 の磁化の方向がトランジスタ Tr のチャネル長方向となるように MTJ 素子 21 a を配設している点が異なり、その他は同じであるので図 3 と同一符号を付している。

【0069】

このような構成により、書き込みに際して、選択したメモリセル Mc 4 のトランジスタ Tr に紙面に沿う方向のチャネル電流 I_{ch} を流す。これとともに、反強磁性層 74 を含む上部配線 25 に書き込みデータの“1”、“0”に対応した方向（紙面に垂直方向）にも、合成磁界が MTJ 素子 21 a の書き込み閾値を超えるように電流を流すことにより、MTJ 素子 21 a のフリー層 71 の磁化の向きを切り替えることができる。これによって、トランジスタ Tr のチャネルに流す電流 I_{ch} は図示のように 1 つの方向に固定できる。

【0070】

<第 5 の実施形態>

図 5 は、本発明の第 5 の実施形態に係る MRAM で用いられるメモリセル Mc 5 の一例について構造を模式的に示す断面図である。

【0071】

このメモリセル Mc 5 は、第 1 の実施形態のメモリセル Mc 1 と比べて、半導体基板が例えば SOI（シリコン・オン・インシュレータ）であり、例えばガラスなどの SOI 基板 100 上に形成された半導体層 50 であり、この半導体層 50 上に書き込み電流提供用のトランジスタとして薄膜トランジスタ (Thin Film Transistor) Tr th が形成されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

【0072】

このような第 5 の実施形態によれば、半導体基板上に形成した例えばロジック回路部を下地として、その上に薄膜トランジスタ Tr th のアレイを積層できるので、いわゆるシステム・オン・シリコン (System on Silicon) 構造を容易、かつ、安価に形成することが可能になる。この図 5 の実施形態ではチャネル電流の向きを変えることにより書き込みデ

ータの“1”、“0”に対応することができる場合を示している。

【0073】

<第6の実施形態>

図6は、本発明の第6の実施形態に係るMRAMで用いられるメモリセルMc6の一例について構造を模式的に示す断面図である。

【0074】

このメモリセルMc6は、第5の実施形態のメモリセルMc5と比べて、薄膜トランジスタTrt hの下方側にNiFe、CoZrNbなどの軟磁性膜61を配置した（例えばSOI基板100全面中に埋め込んだ状態で）点が異なり、その他は同じであるので図5中と同一符号を付している。

【0075】

このようにトランジスタTrt hのチャネル領域が形成されている基板領域をMTJ素子21とともに挟むように配設された軟磁性層61を備えた構成によれば、書き込みに際して、例えば反強磁性層74に電流を流すとともにチャネル電流Ic hを流し、これらの電流により発生してフリー層71に作用する磁界を大幅に強める効果がある。結果として、特に書き込みに必要なチャネル電流Ic hの値（書き込み電流の閾値）を大幅に低減することが可能になり、トランジスタTrt hのチャネル幅などのサイズをさらに微細化することができる。

【0076】

<第7の実施形態>

図7は、本発明の第7の実施形態に係るMRAMで用いられるメモリセルMc7の一例について構造を模式的に示す断面図である。

【0077】

このメモリセルMc7は、第1の実施形態のメモリセルMc1と比べて、

(1) MTJ素子21の少なくとも一部（本例では上面および側面）を図3の実施形態と同様にNiFe、CoZrNbなどの軟磁性膜31でなるヨークで被覆している点、(2) 書き込み電流供給用トランジスタとして半導体層50上に薄膜トランジスタ(Thin Film Transistor)Trt hを形成した点、(3) 薄膜トランジスタTrt hの下方側にNiFe、CoZrNbなどの軟磁性膜61をSOI基板100中に配置した点、(4) MTJ素子21のフリー層71に接続される配線27とゲート配線4を別に設け、MTJ素子21のフリー層71に接続された配線27をトランジスタTrt hの一端側の例えばドレイン電極5に電氣的に接続するように形成されている点が異なり、その他は同じであるので図1中と同一符号を付している。なお、フリー層71を形成する磁性膜を接続用配線27と共用するようにしてもよい。

【0078】

上記構成のメモリセルMc7に対する書き込み時は、第1の実施形態と同様に、トランジスタTrt hのチャネル電流Ic hとして、MTJ素子21の書き込み閾値を超えるに十分な書き込み電流が流れる必要がある。そのため、トランジスタTrt hを十分なオン状態にする必要があり、これを達成するのに必要な値のゲート電圧を設定する。他方の書き込み電流路は上部配線25を用いる。

【0079】

読み出し時には、トランジスタTrt hのチャネル電流としてMTJ素子21の書き込み電流に比べて一桁以上小さい読み出し電流が流れるオン状態に電極4におけるゲート電位を設定する。読み出し経路は、図7には図示していないが、図2の実施形態と同様にトランジスタTrt hを読み出し時のスイッチとして含む接続とされる。書き込み時/読み出し時以外は、トランジスタTrt hのチャネル電流Ic hが流れないオフ状態にゲート電極4のゲート電圧を設定する。

【0080】

したがって、選択したMTJ素子21を、書き込み時だけでなく読み出しにも他のメモリセルから分離することができるので、読み出し速度が速くなる。

【0081】

<変形例>

図8は、前記各実施形態に係るMRAMの応用例に係るメモリモジュールを示す斜視図である。

【0082】

このメモリモジュールは、半導体基板上に前記各実施形態に係るメモリセルのアレイを大容量化のために任意数だけ積み重ねた構造を有するメモリチップ81を、セル選択駆動用のドライバ回路を半導体基板上に形成したドライバチップ、あるいは、書き込み/読み出し制御用のロジック回路を半導体基板上に形成したロジックチップ82などと積層してパッケージングしたものである。

【0083】

このようなメモリモジュールによれば、各チップ毎の構成が簡易化されるので、それぞれの製造歩留りおよび全体の製造歩留りが改善され、さらに低コスト化が可能になる。

【0084】

以下、図9ないし図11を参照してこの発明のMRAMの更に他の実施形態のメモリセルの基本構成、動作を詳細に説明する。ここで、説明の重複を避けるために図9ないし図11において図1乃至図7と対応する部分は同一参照番号、参照符号を付して示している。

【0085】

<第8の実施形態>

図9において、トランジスタTrのチャネル領域上にはゲート絶縁膜1を介してワード線4wがチャネル幅方向に延長して配設される。このワード線4wの上にはMTJ素子21のフリー層71が接するように設けられる。MTJ素子21のピン層72上に形成された反強磁性層74の上に接するようにワード線4wと直交する方向にビット線25bが配設される。ピン層72のスピンの向きは紙面手前から奥向きに設定され、ワード線4wはこのピン層72のスピンの沿って配置される。

【0086】

製造時には、半導体基板10に形成されたドレイン領域2、ソース領域3の表面に接して第1金属層としてドレインコンタクト5、ソースコンタクト6が形成されとともに、ゲート絶縁膜1の上にはゲート電極としても用いられるワード線4wが形成される。つぎに、ワード線4w上には4層構造のMTJ素子21が形成され、図示しない層間絶縁膜で基板10全体を覆ったあとで反強磁性層74を露出させ、ビット線25bを形成する。このようにしてこの実施形態のメモリセルMc8の基本構造部が構成される。

【0087】

図9の実施形態において、図示のようにピン層72のスピンの向きは紙面奥から手前向きであり、フリー層71のスピンの向きはこのピン層72と逆に紙面手前から奥向きであるものとする。

【0088】

この状態で、書き込み電源CSによりドレイン領域2、ソース領域3の間に所定の電位差を与えた状態で、図示しないデコーダにより選択されたワード線4wにはHIGH状態のゲート電圧が印加される。この結果、トランジスタTrには例えば図示の方向にチャネル電流Ichが流れ、このチャネル電流Ichによりフリー層71には奥から手前方向の磁界が印加される。

【0089】

一方、図示しないデコーダにより選択されたビット線25bに図示の方向にビット線電流Ibが流れる。フリー層71にはこれにより発生された磁界がやはり奥から手前方向に印加される。結果として、これらの2つの磁界の合成磁界がフリー層71に印加され、そのスピンの向きが手前向きに反転し、データがこのメモリセルMc8に書き込まれたことになる。

【0090】

読み出し時にはワード線 4w の電圧が LOW 状態となり、トランジスタ T_r はオフ状態に設定される。この状態でセル $M_c 8$ が選択された場合は、ビット線 25b とワード線 4w 間に電圧が印加される。この時、ピン層 72 とフリー層 71 のスピンの平行状態となつて、MTJ 素子 21 の抵抗値が低下している。この MTJ 素子 21 を通って読み出し電流が流れる。この読み出し電流は図示しないセンスアンプに供給され、データがセル $M_c 8$ から読み出される。反対に、ピン層 72 とフリー層 71 のスピンの反対方向の場合には MTJ 素子 21 の抵抗値が大きく、読み出し電流は小さい。したがって、この状態に対応するデータがセンスアンプから読み出されることになる。

【0091】

<第9の実施形態>

次に、図 10 を参照して他の実施形態のメモリセル $M_c 9$ の構成、動作を説明する。図 10 の実施形態では、ワード線 4w はトランジスタ T_r のチャネル長の方向に沿って延長して形成され、ドレインコンタクト 5、ソースコンタクト 6 はこのワード線 4w に接触しない位置でドレイン領域 2、ソース領域 3 上に形成される。一方、ビット線 25b はこれに直交するチャネル幅方向に延長して形成される。MTJ 素子 21 はトランジスタ T_r のチャネル領域に対応してワード線 4w、ビット線 25b の交差位置にサンドイッチされる。この場合、ピン層 72、フリー層 71 内のスピンの向きは図 9 と同様に紙面に直交する方向である。

【0092】

図 10 の実施形態では書き込み電源 CS の極性に対するドレイン領域 2、ソース領域 3 の接続を反転できるように構成される。従って、ソース、ドレイン相互の電位関係が反転され、チャネル電流 I_{ch} も電源 CS の接続の極性により互いに反対の方向に流れるように選択的に設定できる。一方、ビット線 25b に流れるビット電流 I_b は図示のように紙面手前から奥への一方向のみに固定される。金属層としては図 9 の実施形態と同様、ドレインコンタクト 5、ソースコンタクト 6、ワード線 4w および MTJ 素子 21 を挟んで形成されたビット線 25b であり、構成がシンプルで製造プロセスも簡単である。

【0093】

図 10 のメモリセル $M_c 9$ のデータ書き込み時に際して最初はフリー層 71 のスピンの向きは紙面の手前から奥方向であり、ピン層 72 のスピンの向きと逆になっているものとする。この状態でワード線 4w からゲート電圧が印加されると、トランジスタ T_r がオン状態となり、チャネル電流 I_{ch} がソース領域 3 からドレイン領域 2 に向かって流れ、このチャネル電流 I_{ch} によりフリー層 71 部分には手前方向への磁界が発生する。このときビット線 25b に矢印方向のビット電流 I_b が流れると、このビット電流 I_b によりフリー層 71 のスピンの向きに対して直交方向に磁界が発生する。これらの互いに直交する磁界は合成され、この合成磁界のうちでフリー層 71 のスピンと同じ方向の成分が所定の強さを超えると、このスピンの向きが紙面手前の方向に反転する。この結果、所定のデータ書き込みが行われたことになる。この場合、ビット電流 I_b はワード線 4w に流れる電流 I_w と同じ大きさの電流でよい。

【0094】

データ消去の場合には、書き込み時と同じ方向のビット電流 I_b に対して、ドレイン領域 2、ソース領域 3 に印加される電源 CS の極性を反転させる。この結果、チャネル電流 I_{ch} が反転され、発生される磁界が紙面手前から奥の方向となる。この結果、形成される合成磁界が書き込み時とは反対方向となり、フリー層 71 のスピンの向きが紙面奥の方向に反転し、データ消去が行われる。

【0095】

データ読み出し時にはトランジスタ T_r がオフの状態、デコーダにより選択されたビット線 25b とワード線 4w との間に読み出し電流が流れ、図示しないセンスアンプにより MTJ 素子 21 に流れる電流の大小によりデータが読み出される。

【0096】

<第10の実施形態>

図11は更に他の実施の形態のメモリセルMc10を示す。この場合は、図10の実施形態と異なり、チャネル電流I_{ch}はソース領域3からドレイン領域2に向かう一方のみに固定される代わりに、ビット線25bに流れるビット電流I_bの向きが互いに反対の2つの方向から選択される。また、MTJ素子21のフリー層71、ピン層72におけるスピンの向きがチャネル長方向に沿った方向となる。

【0097】

最初の状態としてフリー層71のスピンの向きが図中の破線矢印の方向であるとする。データ書き込み時には、デコーダにより選択されたゲート電極であるワード線4wにHIGHの電圧を印加してトランジスタTrをオンとする。この結果、チャネル電流I_{ch}が図示の方向に流れ、MTJ素子21のスピンの方向に対して直交する方向に磁界が発生する。

【0098】

一方、デコーダにより選択されたビット線25bに紙面の奥から手前方向に電流I_bが流れると、これにより発生した磁界がフリー層71の図示の実線のスピンの方向に発生する。この結果、チャネル電流I_{ch}により発生された磁界との合成磁界が生成される。この合成磁界が所定値を超えた値を持つと、フリー層71のスピンの方向が破線の方向から実線の方向に反転する。これによりデータが書きこまれる。

【0099】

データ消去の場合には、トランジスタTrがオンで、図示方向にチャネル電流I_{ch}が流れる状態で、ビット線25bに手前から奥の方向にビット電流I_bを流す。この結果、書き込み時と反対方向に合成磁界が発生し、フリー層71のスピンの向きが破線矢印の方向に反転する。これを消去方向とする。

【0100】

読み出し時には、ゲート電極であるワード線4wの電圧を下げてトランジスタTrをオフとする。この状態で、アドレスデコーダにより選択されたワード線4wとビット線25bとの間に挟まれたMTJ素子21が選択され、フリー層71のスピンの向きがピン層72のスピンの向きと同じか逆かで決まる抵抗値によるビット電流の大きさを図示しないセンスアンプで検知し、データを読み出す。

【0101】

なお、本発明は、前記各実施形態におけるMTJ素子のフリー層が、単層構造でなく、多層構造からなる場合にも適用可能である。例えば、図1の実施形態に示すように、フリー層71を上層71a、下層71bとの2層構造とすることができる。

【0102】

以上に説明した各実施形態では書き込み時にチャネル電流I_{ch}により発生した磁界と、上部配線25あるいは下部配線26にも電流を流して磁界を発生させ、両方の磁界の合成磁界を用いてフリー層71のスピンの向きを書き込み情報の内容によって制御する構成としている。しかしながら、書き込み時にチャネル電流I_{ch}による磁界のみによりフリー層71のスピンの方向を制御することも可能である。

【0103】

<第11の実施形態>

以下、図12、図13を参照してこの実施形態について詳細に説明する。例えばビット線方向のゲート電極4に接続された下部配線26B1が選択されると、この下部配線26B1に接続されたメモリセルMc11を含む複数のメモリセルが半選択状態となる。

【0104】

ワード線方向は、トランジスタTrのソースコンタクト6に接続されたソース線28が選択され、オン電圧V_{on}がソース線28とトランジスタTrのドレインコンタクト5に接続された接地線29との間に印加される。

【0105】

データ書き込み時には、ゲート電圧V_{gw}がゲート電極4に供給され、書き込み電流がソース線28に接続されたソースコンタクト6とドレイン線29に接続されたドレインコ

ンタクト5との間に供給される。この結果、選択されたメモリセルM c 1 1ではトランジスタT rが導通し、チャネル電流I c hが書き込み電源から流れる。

【0106】

この場合、ゲート電極4には僅かに電流しか流れずこれから発生される磁界はフリー層71には殆ど作用せず、フリー層71のスピンの向きを決定するに十分な磁界がトランジスタT rのチャネル電流からのみ発生されるように設定する。

【0107】

トランジスタT rに対する書き込み電源の極性を逆転すればソース、ドレイン線28、29間に印加される電圧V o nの極性が反転されてチャネル電流I c hの向きが逆転し、フリー層71のスピンの方向が反転する。このようにしてMTJ素子21に書き込まれるデータの内容が決定される。

【0108】

データ読み出し時には、図12、図13に示すように、読み出し電圧V rが上部配線25c1と、MTJ素子21のフリー層71に接続された下部配線26B1との間に印加される。図12、図13における残りの構成、動作は図1の実施形態と同じである。

【図面の簡単な説明】

【0109】

【図1】本発明の第1の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図2】本発明の第2の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図3】本発明の第3の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図4】本発明の第4の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図5】本発明の第5の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図6】本発明の第6の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図7】本発明の第7の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図8】本発明のMRAMの応用例に係るメモリモジュールを示す斜視図。

【図9】本発明の第8の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図10】本発明の第9の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図11】本発明の第10の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図12】本発明の第11の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図。

【図13】本発明の第11の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す平面図。

【図14】従来のMRAMで用いられるMTJ素子の一般的な構造を概略的に示す断面図。

【図15】図14中のMTJ素子の2つの磁性層のスピンの向きを示す図。

【図16】従来のメモリセルを用いて構成されたMRAMのセルアレイの平面レイアウトの一例を模式的に示す図。

【図17】図16中の書き込みワード線に垂直な面内においてメモリセルの1個分に着目して構造の一例を模式的に示す断面図。

【図18】図16中のビット線に垂直な面内の構造の一例を模式的に示す断面図。

【図 1 9】図 1 4 に示した M T J 素子の印加磁界の反転による抵抗値の変化特性を示す特性図。

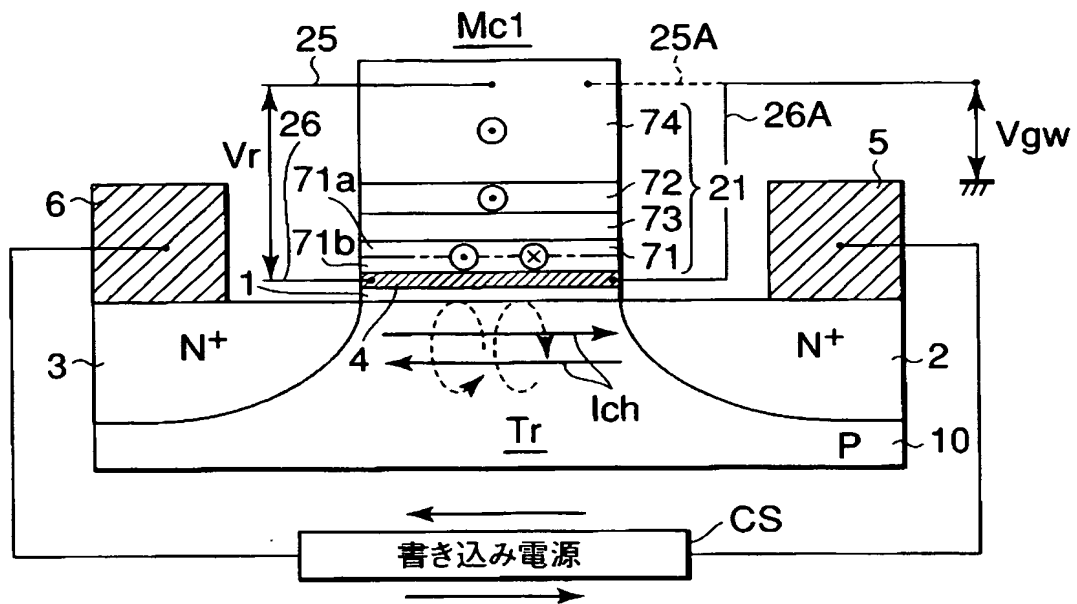
【図 2 0】図 1 4 に示した M T J 素子のアステロイド曲線を示す特性図。

【符号の説明】

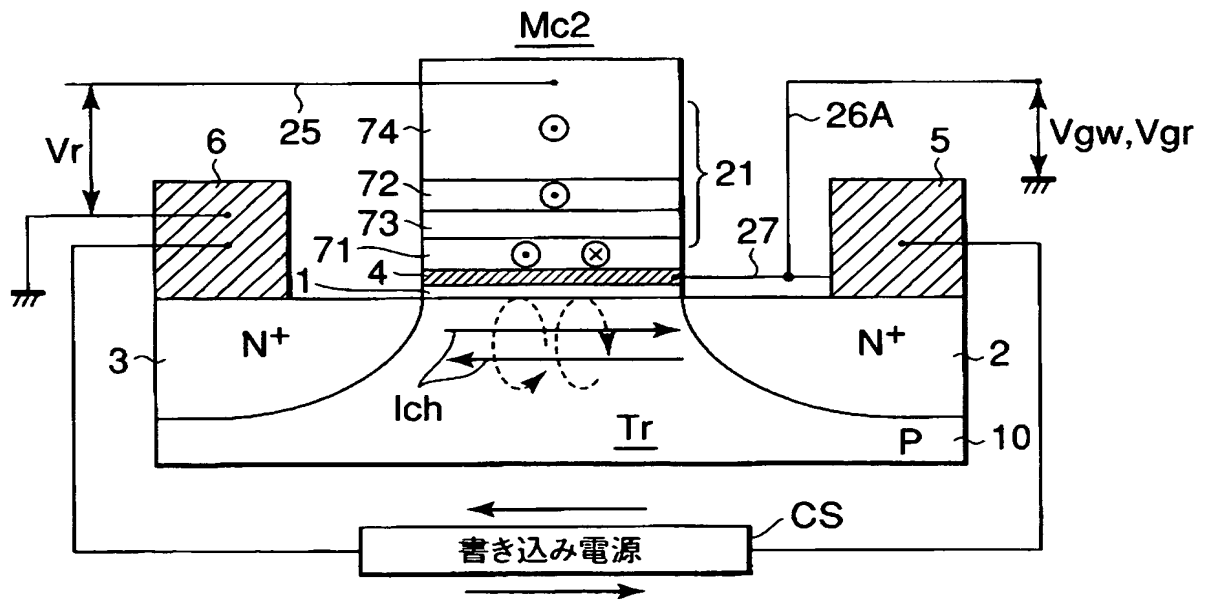
【 0 1 1 0 】

2 1 … M T J 素子、7 1 … フリー層、7 2 … ピン層、7 3 … 非磁性層、T r … トランジスタ、I c h … チャネル電流。

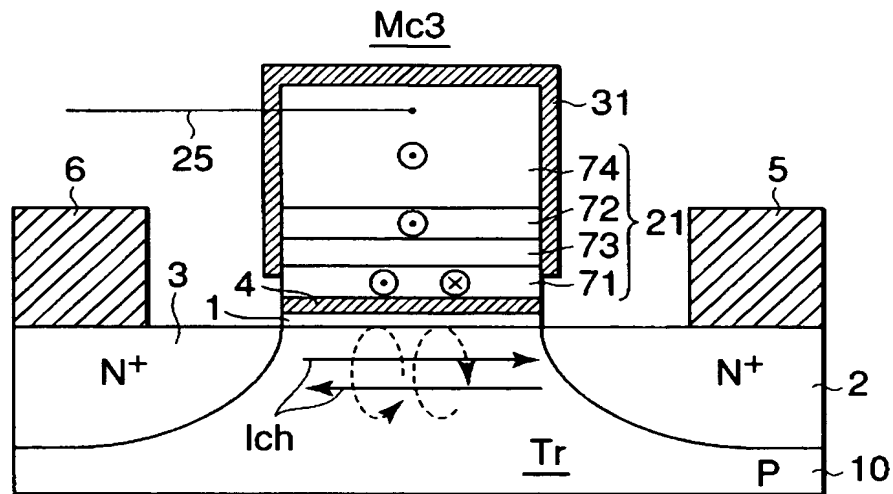
【書類名】 図面
【図 1】



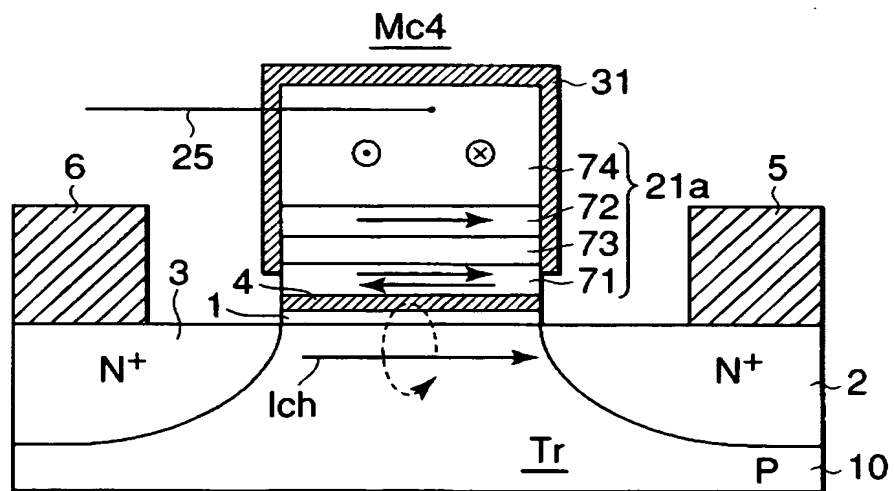
【図 2】



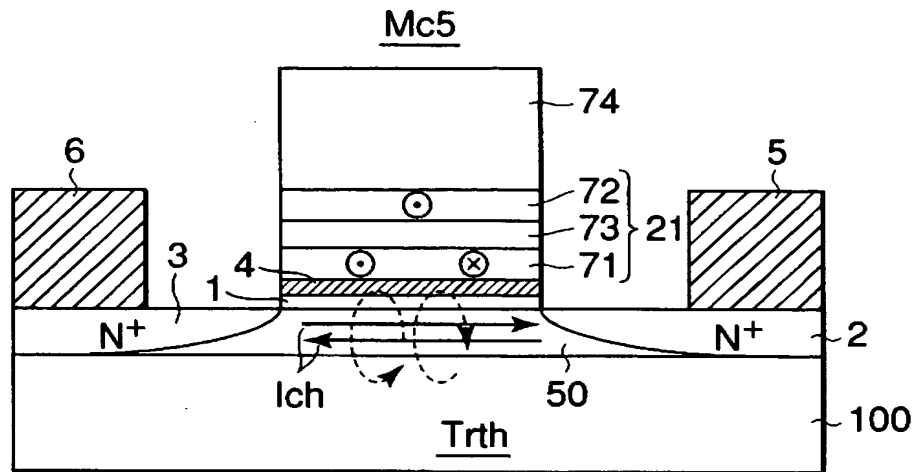
【図 3】



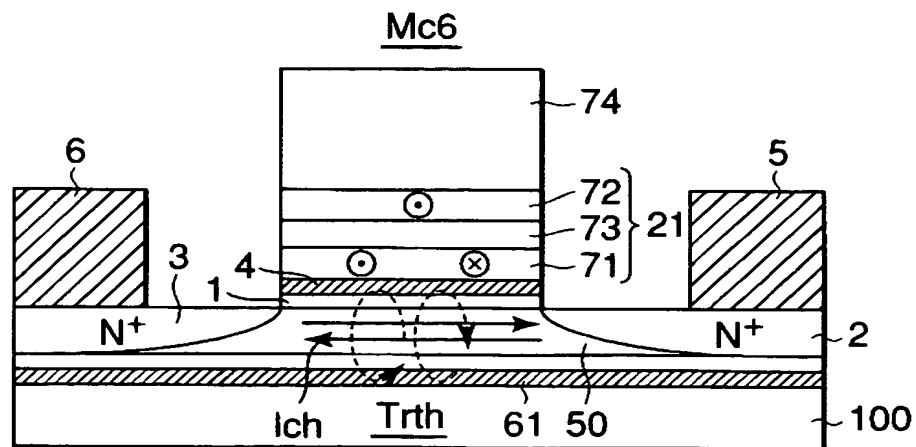
【圖 4】



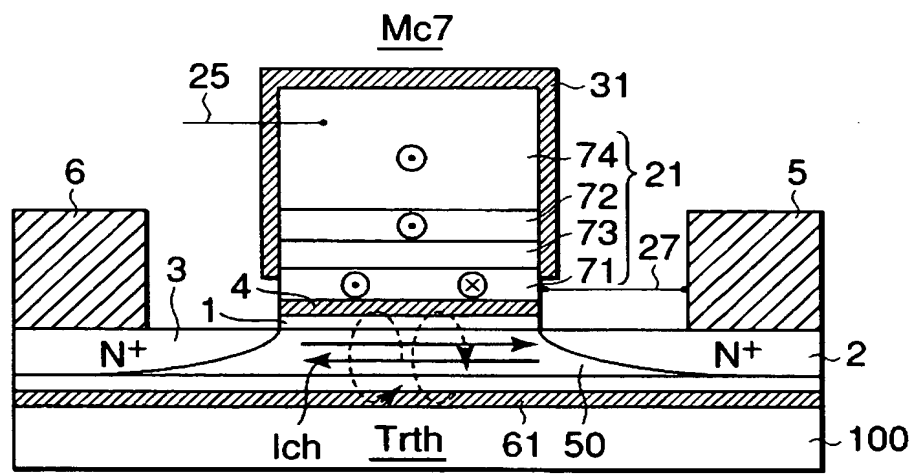
【図 5】



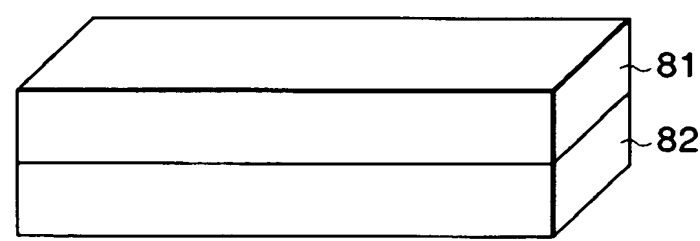
【図 6】



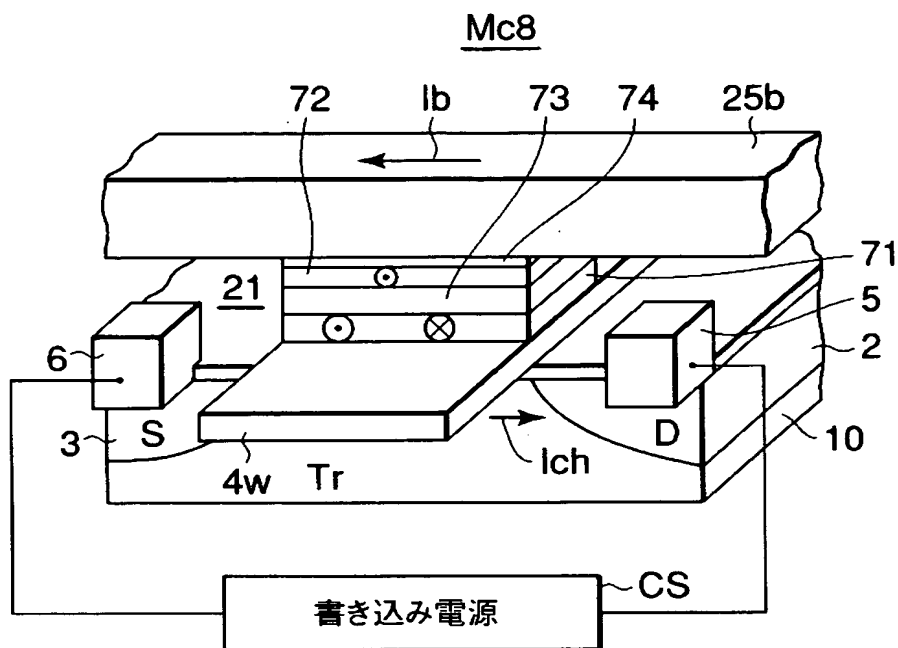
【図 7】



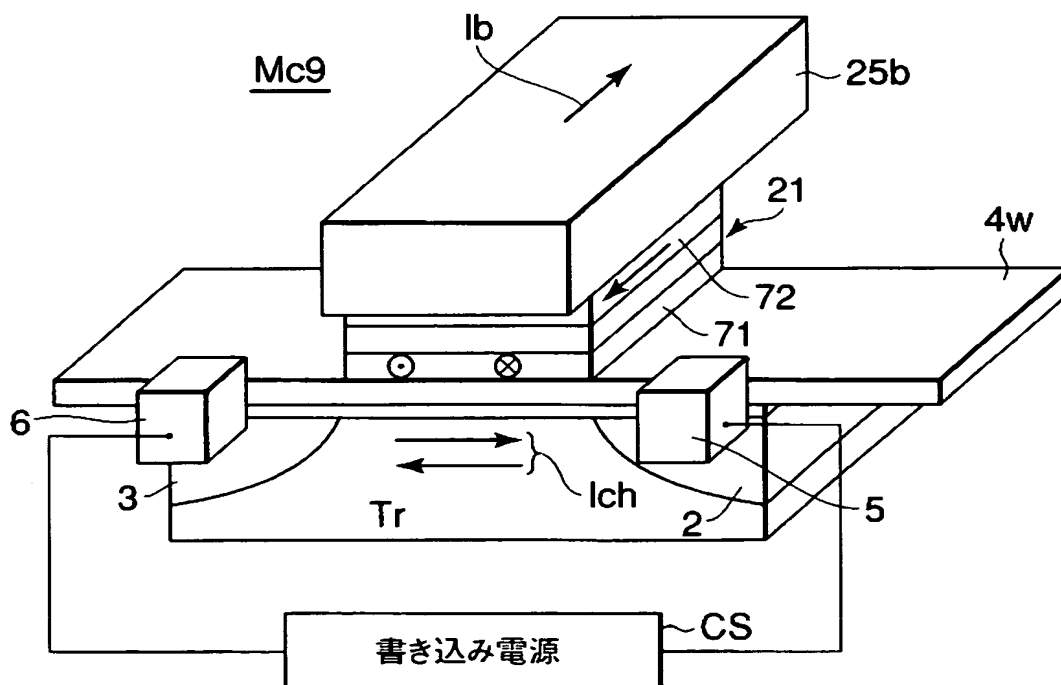
【図 8】



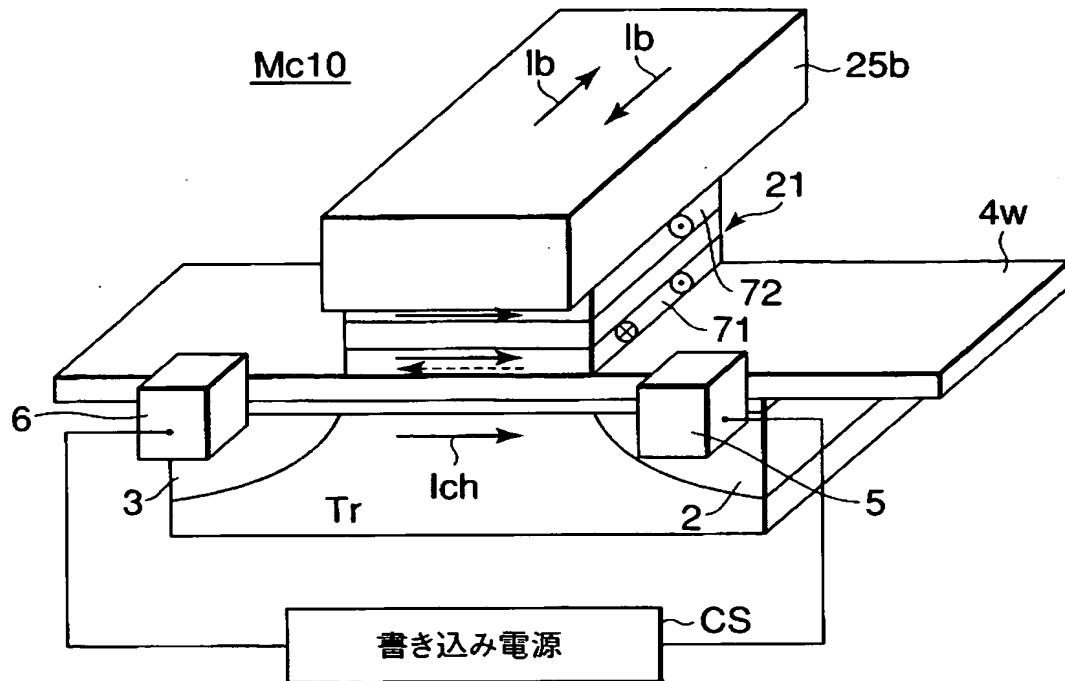
【図 9】



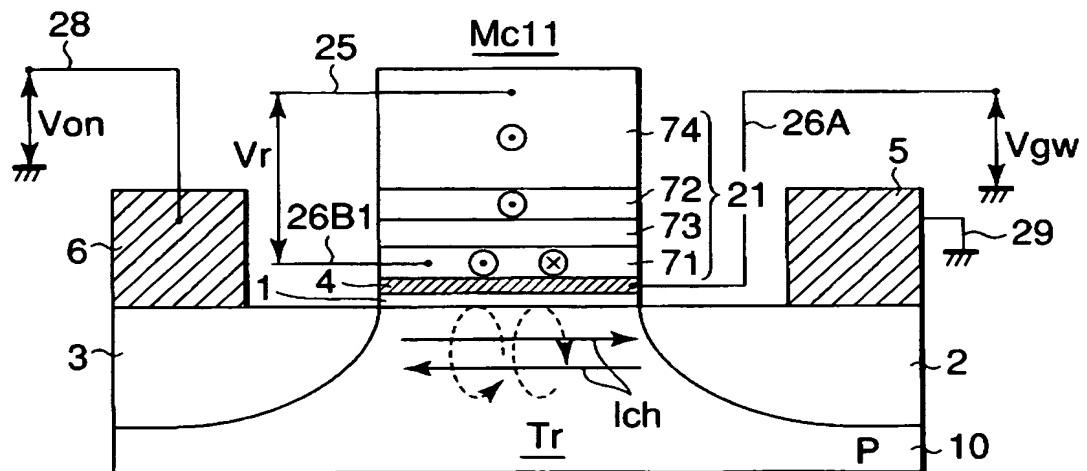
【図 10】



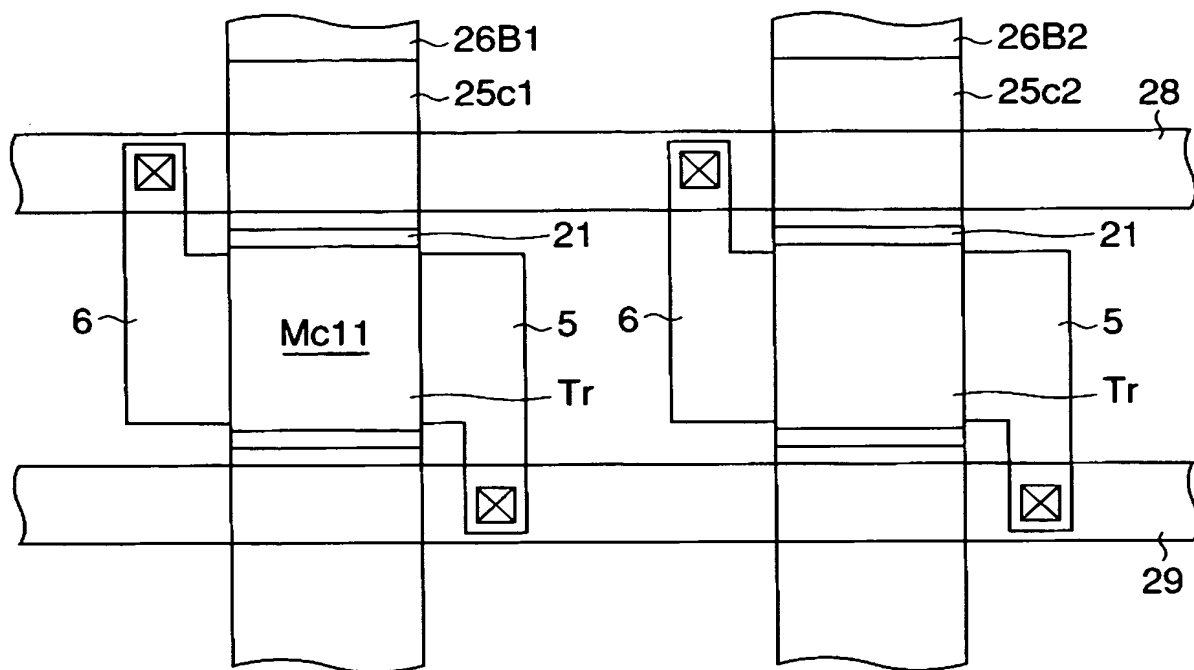
【圖 1 1】



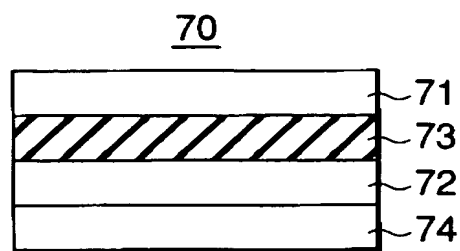
【図 12】



【図 13】



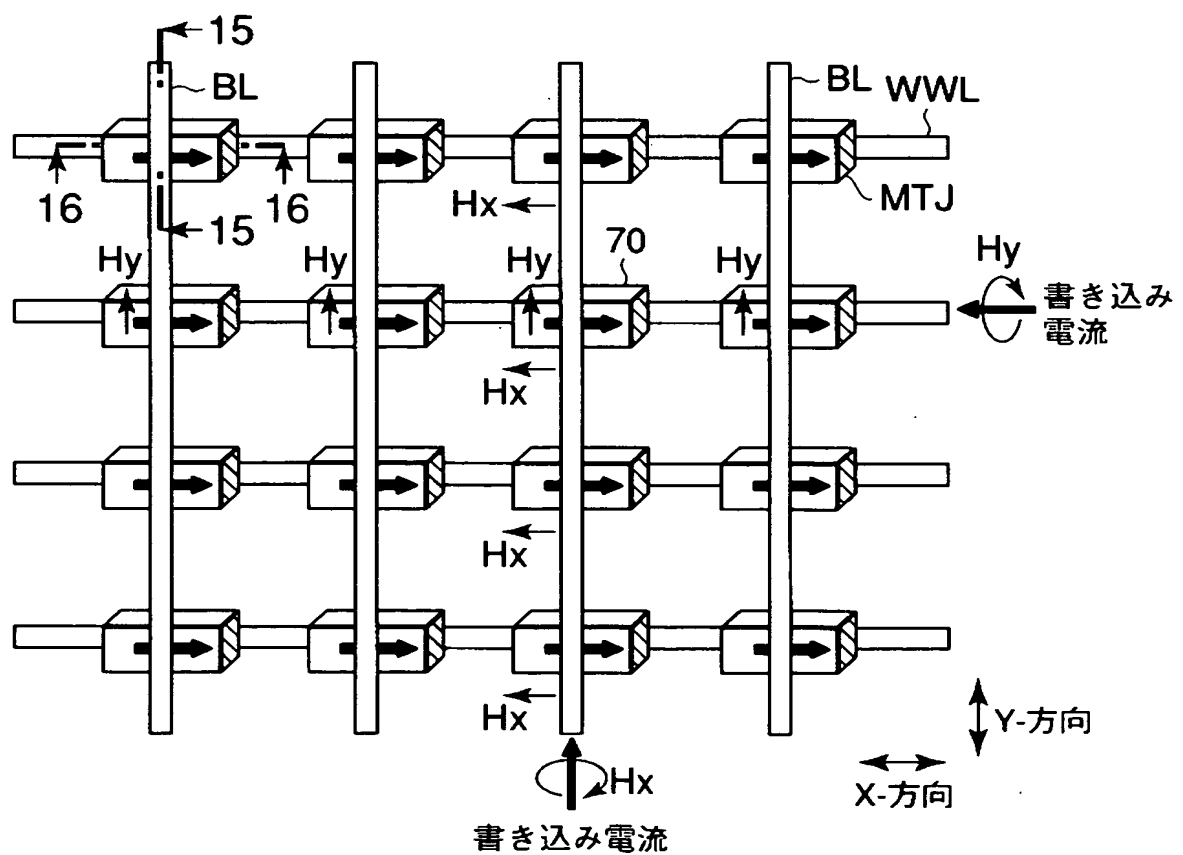
【図 14】



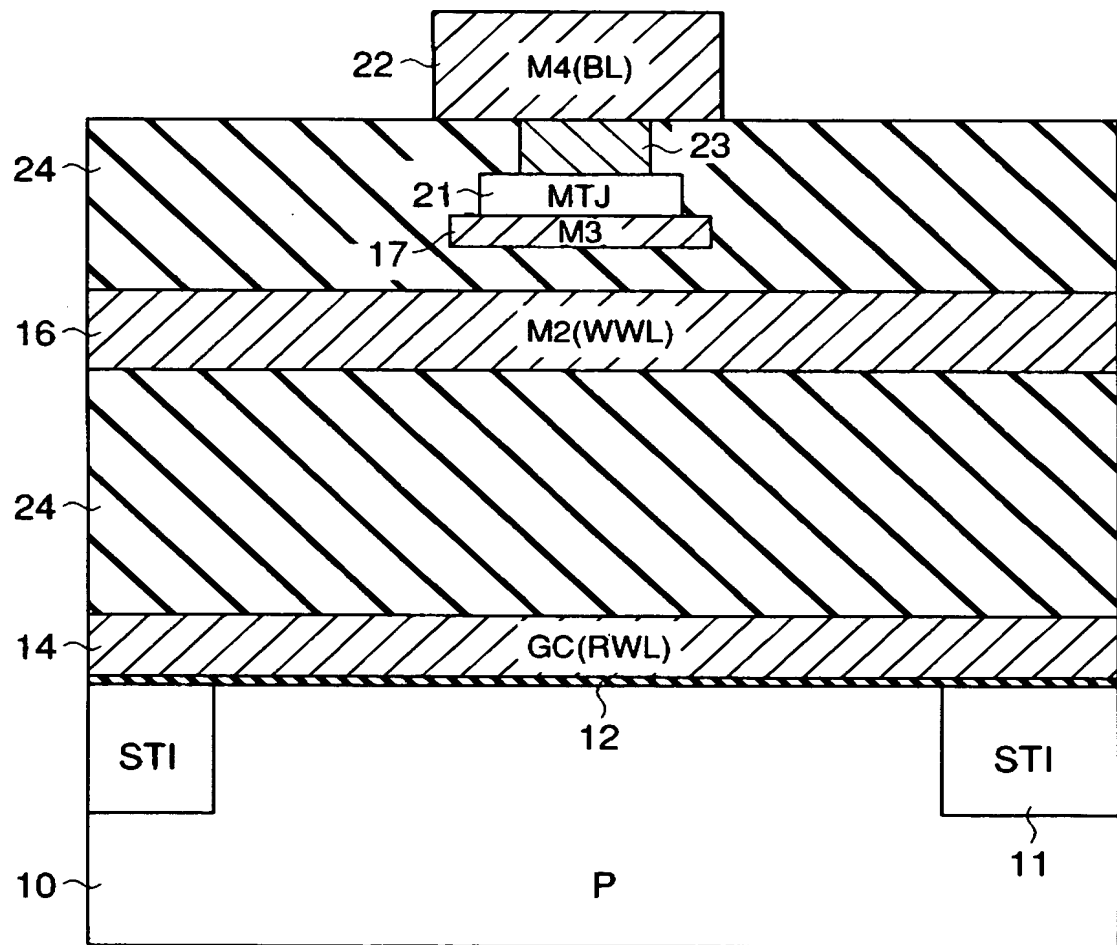
【図 15】



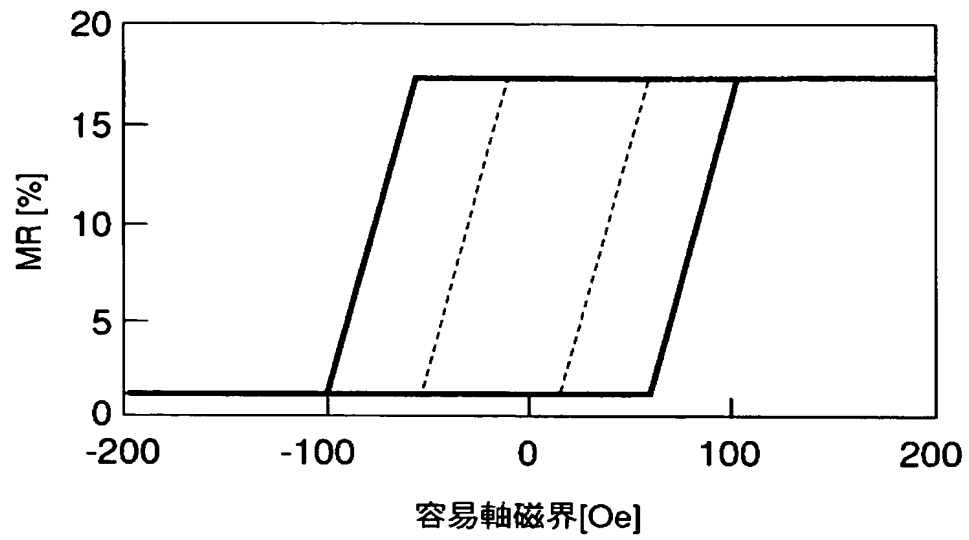
【図 16】



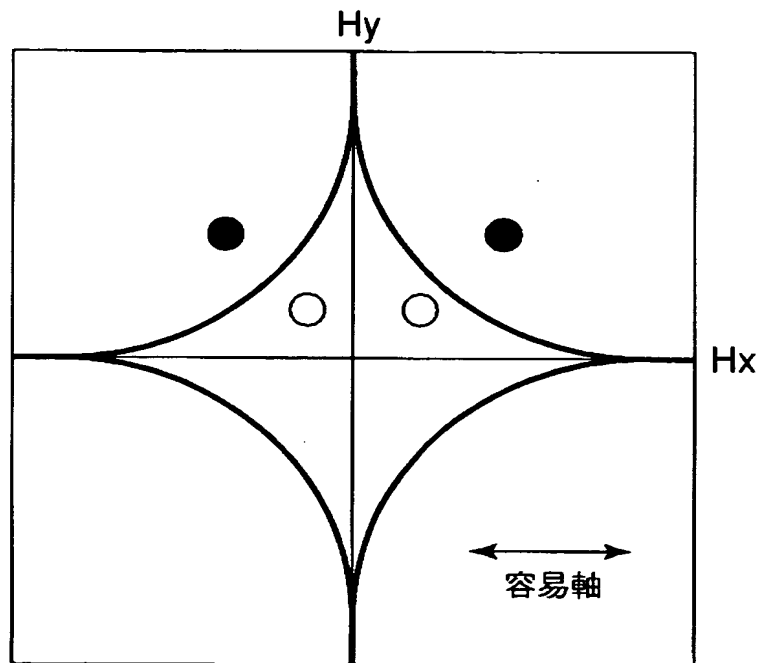
【図 18】



【図 19】



【図 20】



【書類名】 要約書**【要約】**

【課題】 極めて単純なセル構造を実現でき、MRAMなどの大幅な低コスト化を達成することができる磁気ランダムアクセスメモリを提供することを目的とする。

【解決手段】 磁気抵抗素子MTJの非磁性層73を挟持した磁性のフリー層71と磁性のピン層72との磁化配列状態により変化する前記非磁性層73の抵抗値に“0”、“1”のデータを対応させ、前記磁気抵抗素子MTJに近接し互いに交叉して配置された第1、第2の書き込み電流路に電流を流して合成書き込み磁界を発生させ、前記フリー層71の磁化方向を変化させてデータを書き込む磁気ランダムアクセスメモリにおいて、

前記第1の書き込み電流路は、前記フリー層71に近接して配置された絶縁ゲート型のトランジスタTrのチャネル領域を含み、前記トランジスタTrは、前記磁気抵抗素子MTJに対するデータの書き込みに際して書き込み電流として所望の大きさのチャネル電流I_{ch}が流れるように制御される磁気ランダムアクセスメモリ。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2004-063665
受付番号	50400375550
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 16 年 3 月 11 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

申請人	
【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	蔵田 昌俊

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	村松 貞男

【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
綜合法律事務所内

【氏名又は名称】 橋本 良郎

特願 2 0 0 4 - 0 6 3 6 6 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.